

Speicher Architektur

Wo steht was und wie kommt man daran?



Ich bin Mik, Dein
Mikrocontroller



Speicher Architektur

32-Bit-Architektur:
Mit 32 Adressleitungen
können 2^{32} Bytes
adressiert werden.
(4294967296 Bytes =
4 GB)

Der Adressraum ist
aufgeteilt in:

Datenspeicher RAM

Codespeicher Flash ROM

und

OnChip-Peripht



0xFFFFFFFF

0x400267FF

OnChip Peripherie
z. B. GPIO
Timer

0x40000000

0x20013FFF

80 kB RAM
Datenspeicher

0x20000000

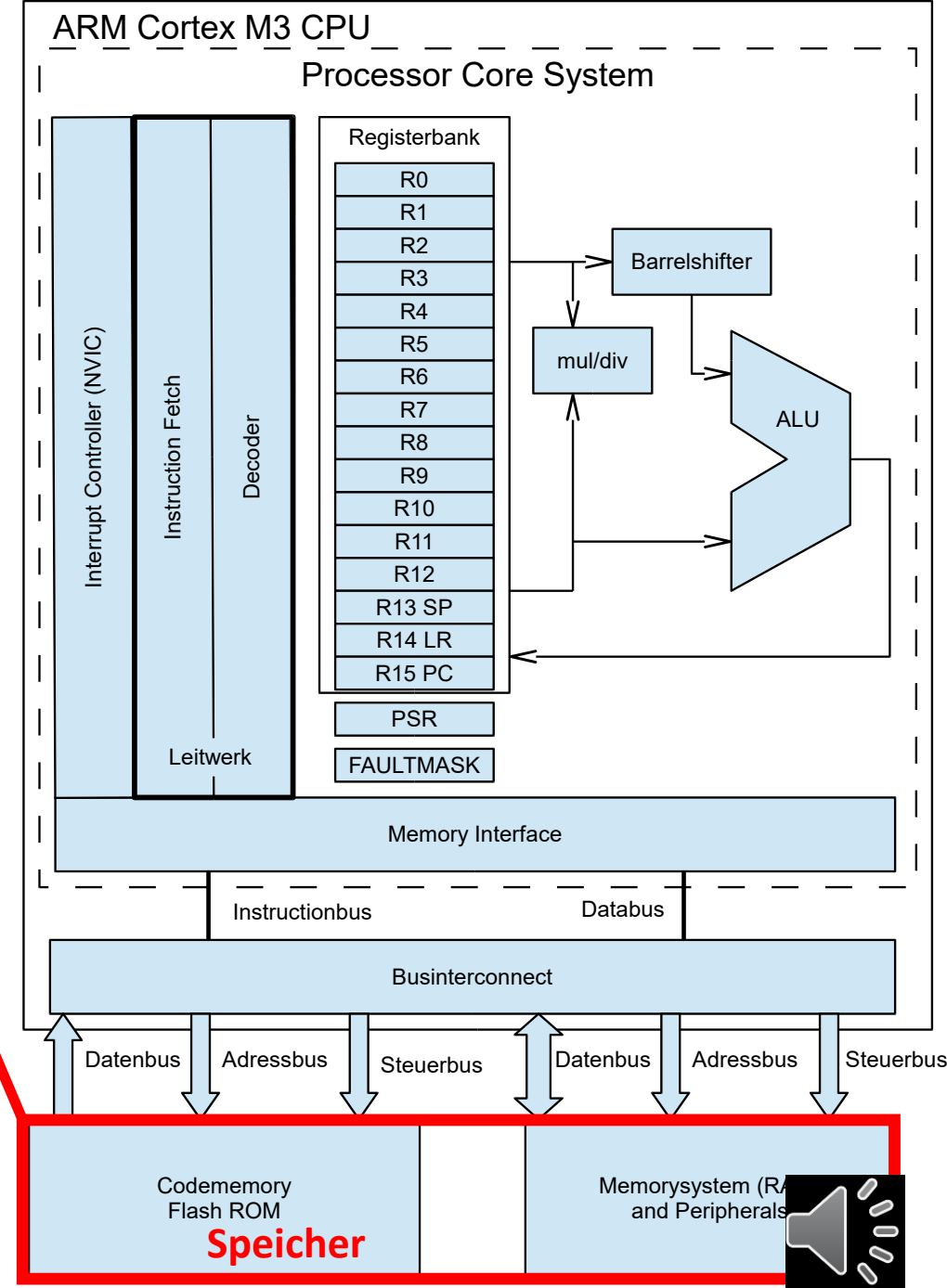
0x0807FFFF

512 kB Flash
Code-Speicher

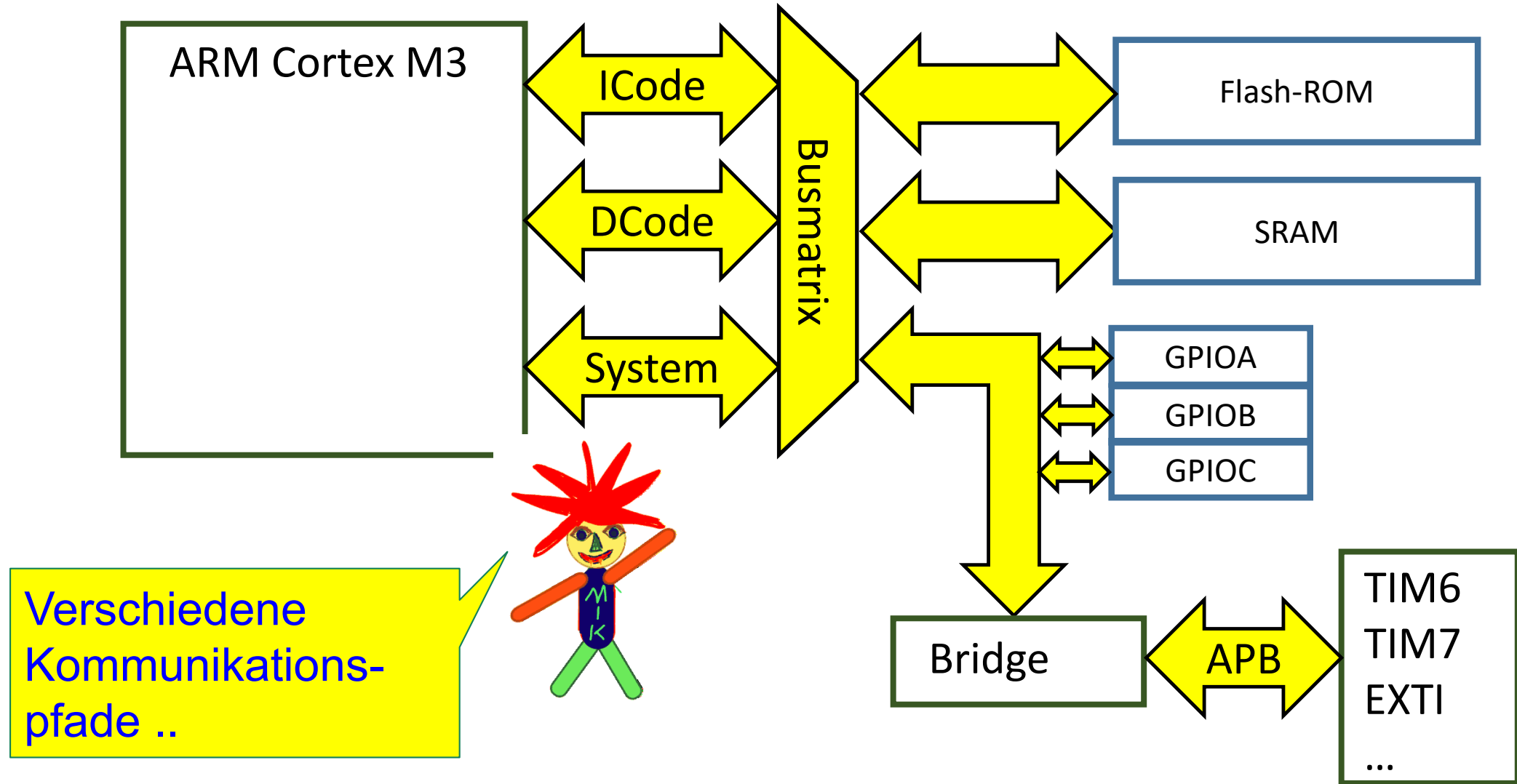
0x08000000

0x00000000

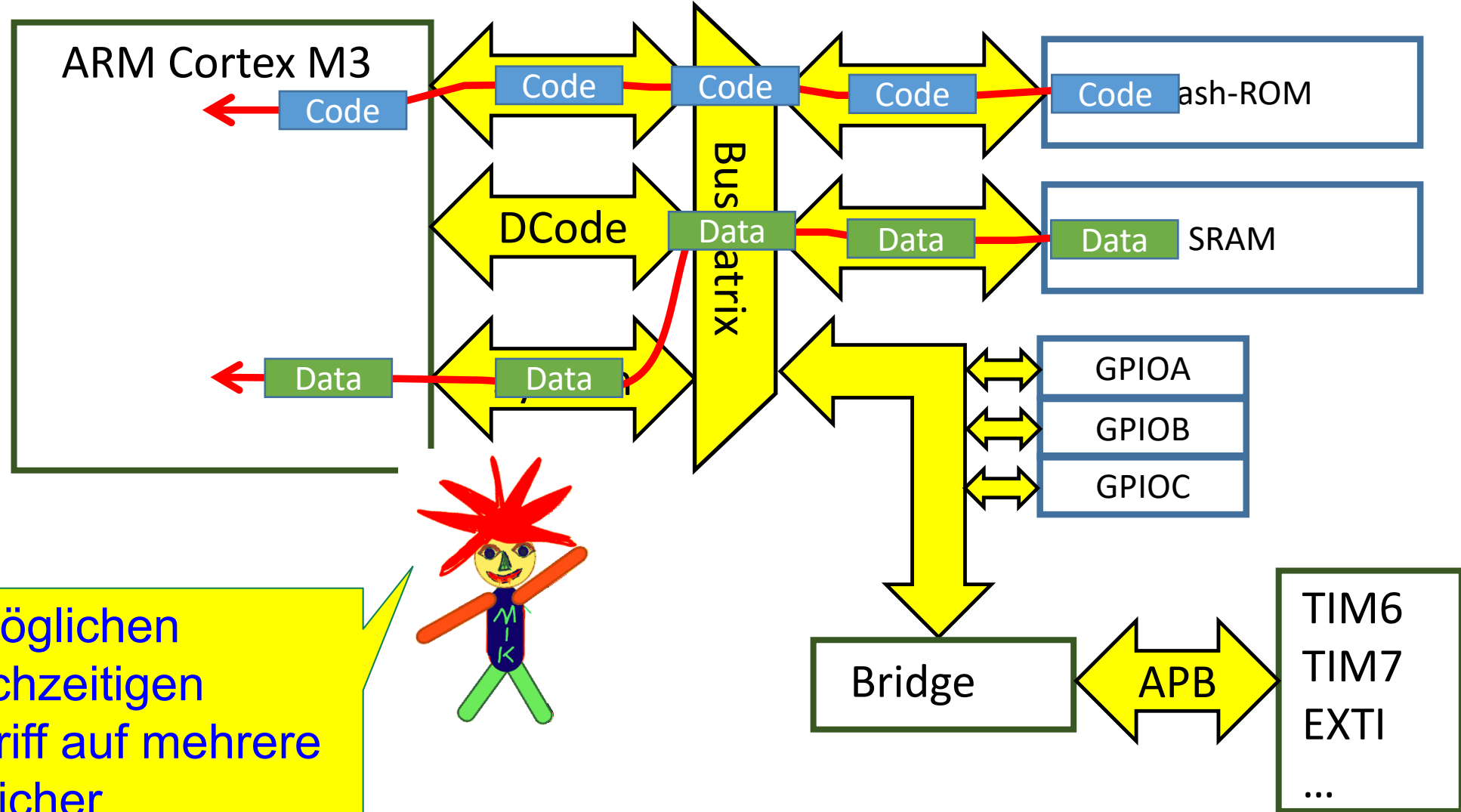
**Linearer
Adressbereich**



Advanced High Performance Bus (AHB)



Advanced High Performance Bus (AHB)



Ermöglichen
gleichzeitigen
Zugriff auf mehrere
Speicher



Speicher Architektur

ARM



Adressbus HADDR mit 32 Adressleitungen

Datenbus HWDATA mit 32 Datenleitungen

Datenbus HRDATA mit 32 Datenleitungen

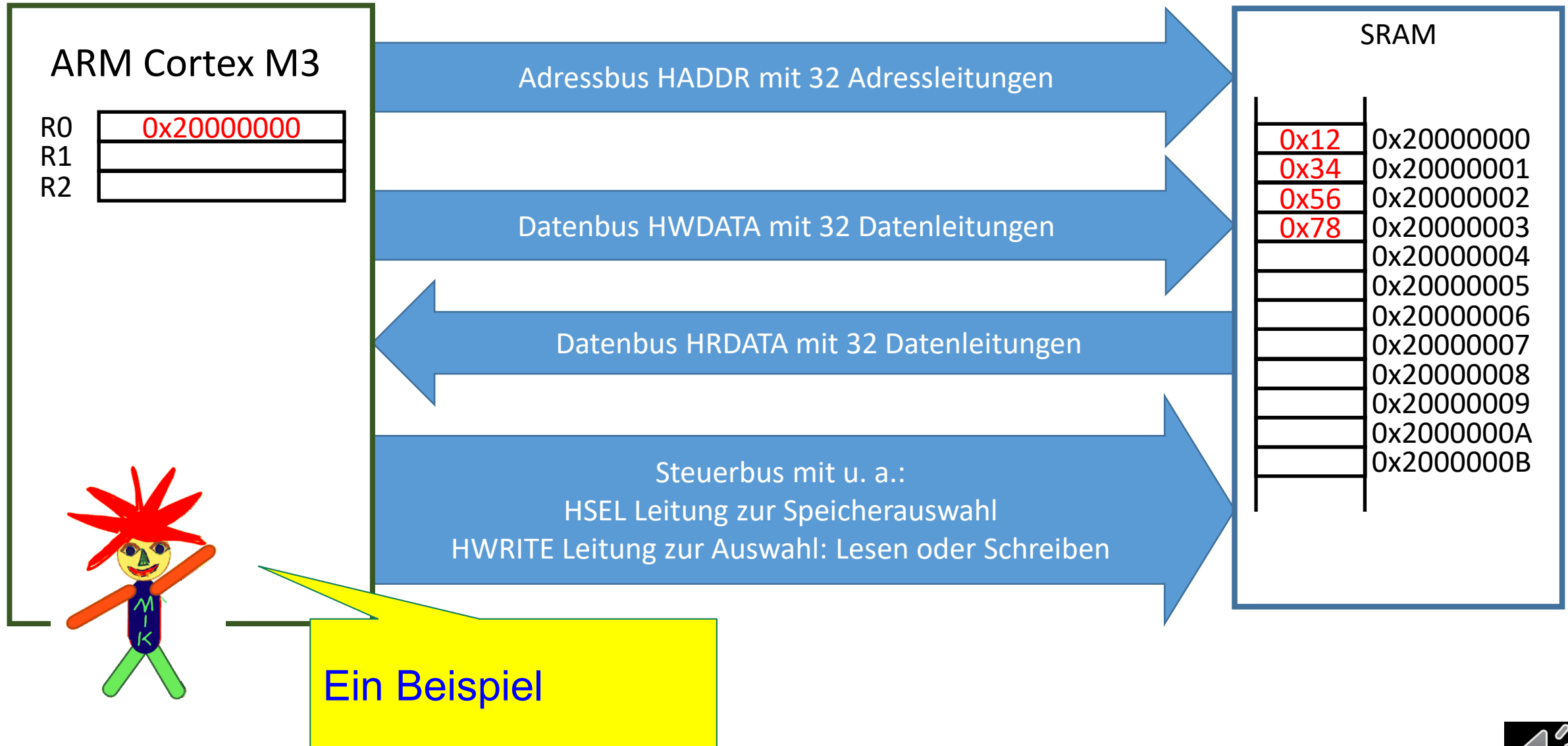
Steuerbus mit u. a.:
HSEL Leitung zur Speicherauswahl
HWRITE Leitung zur Auswahl: Lesen oder Schreiben

Jeder Kommunikationspfad
verfügt über Adress-, Daten-,
und Steuerbusse

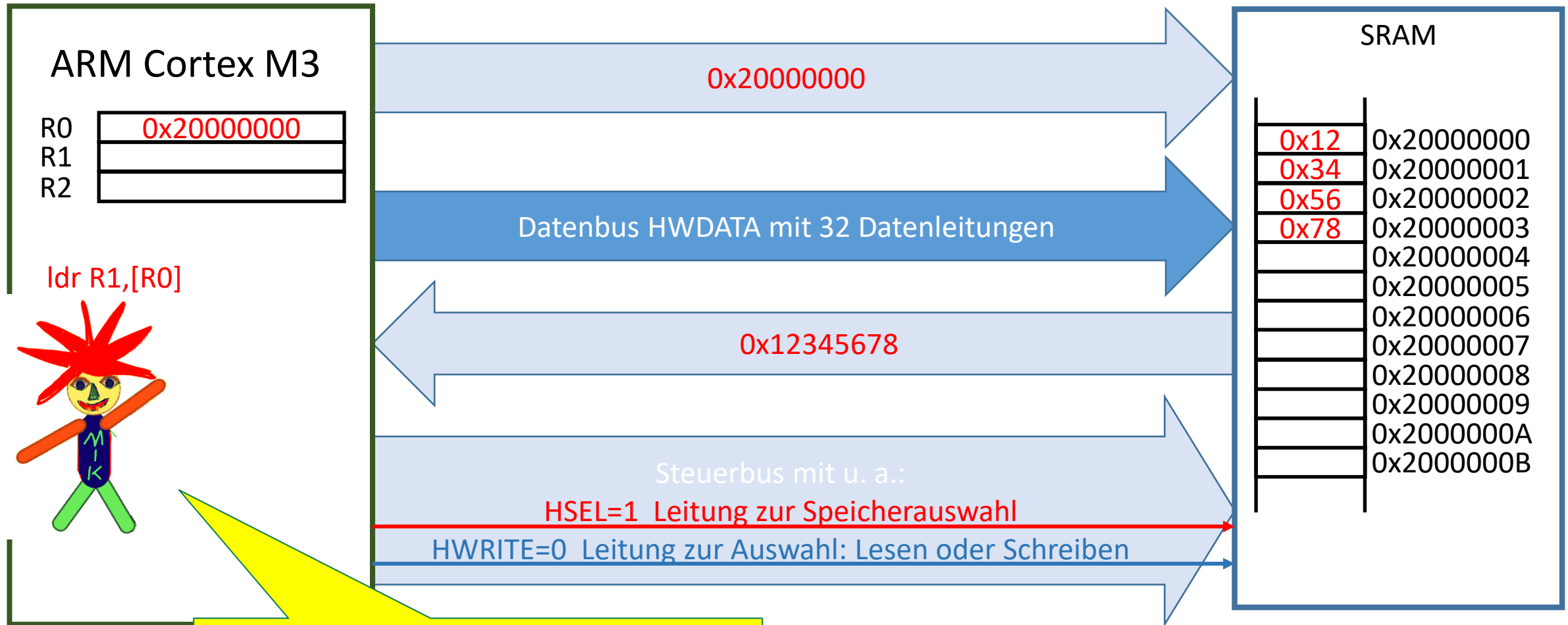
M6
TIM7
EXTI
...



Speicher Architektur



Speicher Architektur



Beim ldr-Befehl
kommuniziert die CPU mit
dem Speicher lesend



Speicher Architektur



Beim str-Befehl kommuniziert die CPU mit dem Speicher schreibend

